

COMPARATEUR DE PHASE SANS ZONE MORTE

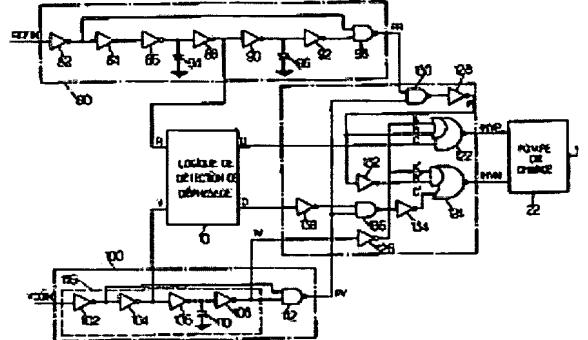
Numéro du brevet: FR2736223
Date de publication: 1997-01-03
Inventeur: ROBBE MICHEL
Demandeur: MATRA COMMUNICATION (FR)
Classification:
 - internationale H03D13/00; H03L7/089; H03D13/00; H03L7/08;
 (IPC1-7): H03L7/08; H03K5/153
 - européenne H03D13/00B1
Numéro de demande FR19950007718 19950627
Numéro(s) de priorité: FR19950007718 19950627

Également publié en tant que:
 WO9701884 (A1)
 EP0835550 (A1)
 EP0835550 (A0)
 EP0835550 (B1)

[Signaler une erreur concernant les données](#)

Abrégé pour FR2736223

A detection logic (10) which is responsive to the phase difference between the two input signals (REFIN, VCOIN) of the comparator provides two detection signals (U, D) to control a charge pump (22) through a control logic (120). The control logic (120) combines the detection signals (U, D) with two pulse signals, one of them (PR) presenting an active impulse of fixed length after each active front of the first input signal (REFIN), the other (PV) presenting an active impulse of fixed length after each active front of the second input signal (VCOIN). For small phase differences, the active impulses of the pulsed signals (PR, PV) present an overlap, and the control logic (120) controls the charge pump (22) as a function of a separation signal (W) which changes status with a fixed delay with respect to the active front of one of DOLLAR he input signals (VCOIN). Thereby, the dead zone of conventional phase comparators due to very short or too short activation of detection signals (U, D) is eliminated.



Les données sont fournies par la banque de données esp@cenet - Worldwide

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication : 2 736 223
(à n'utiliser que pour les commandes de reproduction)
(21) N° d'enregistrement national : 95 07718
(51) Int Cl^e : H 03 L 7/08, H 03 K 5/153

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 27.06.95.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : 03.01.97 Bulletin 97/01.

(56) Liste des documents cités dans le rapport de recherche préliminaire : Se reporter à la fin du présent fascicule.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : MATRA COMMUNICATION SOCIETE ANONYME — FR.

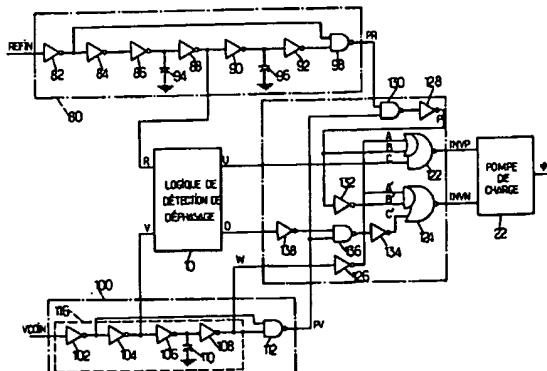
(72) Inventeur(s) : ROBBE MICHEL.

(73) Titulaire(s) :

(74) Mandataire : CABINET PLASSERAUD.

(54) COMPARATEUR DE PHASE SANS ZONE MORTE.

(57) Une logique de détection (10) sensible au déphasage entre les deux signaux d'entrée (REFIN, VCOIN) du comparateur fournit deux signaux de détection (U, D) pour commander une pompe de charge (22) par l'intermédiaire d'une logique de commande (120). La logique de commande (120) combine les signaux de détection (U, D) avec deux signaux impulsifs, l'un (PR) présentant une impulsion active de durée fixe après chaque front actif du premier signal d'entrée (REFIN), et l'autre (PV) présentant une impulsion active de durée fixe après chaque front actif du second signal d'entrée (VCOIN). Pour les petits déphasages, les impulsions actives des signaux impulsifs (PR, PV) présentent un recouvrement, et la logique de commande (120) commande la pompe de charge (22) en fonction d'un signal de séparation (W) qui change d'état avec un retard fixe par rapport au front actif de l'un des signaux d'entrée (VCOIN). On élimine ainsi la zone morte des comparateurs de phase classiques due aux activations très ou trop courtes des signaux de détection (U, D).



FR 2 736 223 - A1



COMPARATEUR DE PHASE SANS ZONE MORTE

5 La présente invention concerne un comparateur de phase entre des premier et second signaux binaires d'entrée, du type comprenant :

10 - une logique de détection de déphasage recevant les signaux d'entrée avec des retards prédéterminés respectifs, et délivrant d'une part un premier signal de détection activé, après un front actif du premier signal d'entrée retardé précédant un front actif du second signal d'entrée retardé, pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs des signaux d'entrée retardés, et d'autre part un second signal de détection activé, après un front actif du second signal d'entrée retardé précédant un front actif du premier signal d'entrée retardé, pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs des signaux d'entrée retardés ;

15 - un premier générateur de signal impulsif, produisant un premier signal impulsif présentant une impulsion active de durée déterminée après chaque front actif du premier signal d'entrée, de manière à ce que chaque front d'activation du premier signal de détection et chaque front de désactivation du second signal de détection surviennent pendant que le premier signal impulsif est actif ;

20 - une logique de commande de transfert de charges combinant au moins les signaux de détection et le premier signal impulsif, et produisant des premier et second signaux de commande non simultanément actifs ; et

25 - un circuit formant pompe de charge pour faire varier dans un sens la valeur d'une tension de sortie lorsque le premier signal de commande est actif et pour faire varier dans l'autre sens la valeur de la tension de commande lorsque le second signal de commande est actif.

Les comparateurs de phase de ce type sont notamment utilisés dans des boucles à phase asservie (PLL). Dans cette application, l'un des signaux d'entrée est par exemple issu d'un oscillateur commandé en tension, généralement après une division de fréquence, et l'autre signal d'entrée est un signal de référence. La tension de sortie du comparateur de phase est intégrée par un filtre passe-bas dont la sortie commande l'oscillateur de manière à aligner les phases des deux signaux d'entrée.

La figure 1 illustre un exemple de logique de détection de déphasage 10, appelée comparateur à neuf portes, utilisable dans un tel comparateur de phase. Les signaux d'entrée retardés R et V (les retards affectés aux signaux d'entrée sont généralement nuls dans les comparateurs connus) sont appliqués chacun à une entrée d'une porte NON ET respective 2, 12 à deux entrées. La sortie de la porte 2 est reliée à une entrée d'une porte NON ET 4 à deux entrées, à une entrée d'une porte NON ET 6 à trois entrées, et à une entrée d'une porte NON ET 20 à quatre entrées. La sortie de la porte 6 fournit le premier signal de détection U et est reliée à l'autre entrée de la porte 2. La sortie de la porte 4 est reliée à une autre entrée de la porte 6, à une autre entrée de la porte 20, et à une entrée d'une porte NON ET 8 à deux entrées. La dernière entrée de la porte 6, ainsi que l'autre entrée de la porte 8 sont reliées à la sortie de la porte 20. L'autre entrée de la porte 4 est reliée à la sortie de la porte 8. La sortie de la porte 12 est reliée à une entrée d'une porte NON ET 14 à deux entrées, à une entrée d'une porte NON ET 16 à trois entrées, et à une autre entrée de la porte 20. La sortie de la porte 16 fournit le second signal de détection D et est reliée à l'autre entrée de la porte 12. La sortie de la porte 14 est reliée à une autre entrée de la porte 16, à la dernière entrée de la porte 20, et à une entrée d'une porte NON ET 18 à deux entrées. La sortie de la porte 20 est également reliée à la dernière entrée de la porte 16 et à l'autre entrée de la porte 18. La

sortie de la porte 18 est reliée à l'autre entrée de la porte 14.

Avec ce comparateur de phase à neuf portes 10, les front 5 actifs des signaux d'entrée sont des fronts descendants. Lorsque le front descendant du premier signal d'entrée R précède un front descendant du second signal d'entrée V, le premier signal de détection U présente une impulsions active de niveau logique 0 dont la durée correspond à l'intervalle de temps séparant les fronts descendants des signaux R et V, tandis que le second signal de détection D reste inactif au niveau logique 1 (voir figure 5). Symétriquement, lorsque le front descendant du second signal d'entrée V précède un front descendant du premier signal d'entrée R, le second signal de détection D présente une impulsions active de niveau logique 0 dont la durée correspond à l'intervalle séparant les deux fronts descendants des signaux V et R, tandis que le premier signal de détection U reste inactif au niveau logique 1 (voir figure 6). Les signaux de détection U, D restent inactifs ($U=D=1$) lorsque 10 les fronts descendants des signaux d'entrée R et V sont concomitants.

15

20

25

30

35

La figure 2 illustre un exemple de circuit 22 formant pompe de charge utilisable dans un comparateur de phase du type indiqué au début. Cette pompe de charge 22 comprend un premier inverseur CMOS recevant le premier signal de commande INV_P, constitué par un transistor PMOS 24 dont la source est à une tension positive VDD et par un transistor NMOS 26 dont la source est à la masse. Le drain commun des transistors 24 et 26 fournit le premier signal de commande inversé GP appliqué à un autre transistor PMOS 28 dont la source est à la tension positive VDD. La pompe de charge 22 comprend en outre un autre inverseur CMOS recevant le second signal de commande INV_N, constitué par un transistor PMOS 30 dont la source est à la tension positive VDD et par un transistor NMOS 32 dont la source est à la masse. Le drain commun des transistors 30 et 32 fournit le second signal de commande

inversé GN appliqué à la grille d'un autre transistor NMOS 34 dont la source est à la masse. Deux résistances de même valeur 36 relient respectivement les drains des transistors 28 et 34 à un noeud commun 38. La pompe de charge 22 comprend en outre un transformateur de courant 40 de gain 1 dont le primaire a une borne reliée au noeud 38 par l'intermédiaire d'une résistance 42 et une borne portée à une tension positive VDD/2, et dont le secondaire a une borne à la masse et une borne reliée à la masse par l'intermédiaire d'une part d'un condensateur d'intégration 44, et d'autre part d'une résistance d'intégration 46. Cette dernière borne délivre la tension de sortie ϕ du comparateur.

Le premier signal de commande INVP est actif au niveau logique 1. Lorsque INVP=1, le transistor PMOS 28 est passant, et le condensateur 44 se charge positivement sous l'effet d'un courant IS positif, ce qui augmente la valeur de la tension de sortie ϕ . Le second signal de commande INVN est actif au niveau logique 0. Lorsque INVN=0, le transistor NMOS 34 est passant, et le condensateur 44 se charge négativement sous l'effet d'un courant IS négatif, ce qui diminue la tension de sortie ϕ .

Pour limiter l'amplitude des fluctuations de la tension de sortie, on utilise normalement dans la pompe de charge 22 une tension positive VDD plus petite que celle utilisée dans les circuits logiques situés en amont, par exemple VDD=+2,5V.

Si les signaux de commande INVP, INVN étaient directement déduits des signaux de détection U,D fournis par le comparateur à neuf portes 10 (c'est-à-dire INVP= \bar{U} et INVN=D ou encore, pour garantir que les signaux de commande ne se trouvent jamais simultanément actifs, INVP= \bar{U} ET D et INVN= \bar{U} OU D), la réponse du comparateur aurait l'allure représentée par la courbe I sur la figure 3. Sur ce graphique, les abscisses représentent le décalage temporel

Δt entre les fronts descendants des signaux R et V ($\Delta t > 0$ si le front descendant du signal d'entrée V précède le front descendant du signal d'entrée R), et les ordonnées représentent la variation $\Delta \phi$ de la tension de sortie ϕ du comparateur. La courbe I représente une caractéristique sensiblement linéaire du comparateur, mais il existe, autour du décalage $\Delta t = 0$ une zone ZM de gain quasiment nul, appelée zone morte. Cette zone morte est due à la durée non nulle des changements d'états dans les portes de la logique de détection de déphasage 10, et aux incertitudes sur les niveaux analogiques des seuils de décision binaire. Lorsque le décalage temporel est très faible, les signaux de détection n'ont pas le temps d'atteindre le niveau actif, de sorte qu'il n'est pas fait de distinction avec un décalage temporel nul. La zone morte représente une incertitude qui est par exemple de l'ordre de $\pm 1,5$ ns autour de $\Delta t = 0$. Une telle zone morte empêche la boucle à phase asservie comportant le comparateur de fonctionner convenablement.

Pour contourner ce problème de la zone morte, les comparateurs de phase traditionnels sont agencés pour décaler le long de l'axe des ordonnées la caractéristique I de la figure 3, de façon à obtenir une caractéristique telle que II. Ceci est réalisé au moyen du générateur de signal impulsif et de la logique de commande de transfert de charge mentionnés en introduction, dont un exemple classique de réalisation est représenté sur la figure 4.

Dans l'exemple de la figure 4, le générateur 50 produit un signal impulsif P présentant une impulsion active après chaque front actif du premier signal d'entrée R. Ce générateur 50 comprend trois inverseurs en cascade 52, 54, 56, dont le premier 52 reçoit le signal d'entrée R. Un condensateur de temporisation 58 est connecté entre la masse et l'entrée du troisième inverseur 56. Le générateur 50 comporte en outre une porte NI 60 et un inverseur 62. La porte NI 60 a deux entrées reliées respectivement à l'entrée

de l'inverseur 52 et à la sortie de l'inverseur 56, et sa sortie est reliée à l'entrée de l'inverseur 62. Le premier signal impulsif P est disponible en sortie de l'inverseur 62. Le signal P est inactif au niveau logique 1. Lorsque survient un front descendant du signal d'entrée R, le signal P s'active au niveau 0 après le temps de réponse des portes 60 et 62 qui est plus petit que celui de la logique de détection 10, et il reste à ce niveau 0 pendant une durée T_1 déterminée principalement par la capacité du condensateur 58.

Cette capacité est choisie de façon à ce que chaque front des signaux de détection U, D provoqué par le front descendant du signal d'entrée R (c'est-à-dire chaque front descendant de U et chaque front montant de D) survienne pendant l'impulsion active du signal P.

La logique de commande 64 combine les signaux de détection U, D fournis par la logique de détection de déphasage 10 et le signal impulsif P fourni par le générateur 50, pour produire les signaux de commande INVP, INVN destinés à la pompe de charge 22. La logique de commande 64 comprend, dans l'exemple représenté sur la figure 4, une porte NON ET 66 dont une entrée reçoit le signal de détection U inversé par un inverseur 68 et l'autre entrée reçoit l'autre signal de détection D. La sortie de la porte 66 est reliée à une entrée d'une autre porte NON ET 70 dont l'autre entrée reçoit le signal impulsif P. Le signal de commande INVP est disponible à la sortie de la porte 70, de sorte qu'on réalise $\text{INVP} = \bar{P} \text{ OU } (\bar{U} \text{ ET } D)$. La logique de commande 64 comporte en outre une porte NI 72 dont une entrée reçoit le signal de détection D et l'autre entrée reçoit l'autre signal de détection U inversé par l'inverseur 68. La sortie de la porte NI 72 est reliée à une entrée d'une porte NON ET 74 dont l'autre entrée reçoit le signal impulsif P. Le signal de commande INVN est disponible à la sortie de la porte NON ET 74, de sorte qu'on réalise $\text{INVN} = \bar{P} \text{ OU } \bar{U} \text{ OU } D$.

Un courant IS positif est toujours injecté par la

pompe de charge 22 lorsque le signal impulsif P est actif (après le temps de réponse des transistors de la logique de commande et de la pompe de charge). Lorsque le front descendant du signal R précède celui du signal V (figure 5), l'impulsion P prolonge l'activation du signal de commande INVP due au signal de détection U d'une durée T_0 approximativement égale à la différence entre le temps de réponse de la logique de détection de déphasage 10 aux fronts descendants du signal d'entrée R et le temps de réponse du générateur 50 aux fronts descendants du signal d'entrée R. En dehors de la zone morte, la caractéristique du comparateur pour $\Delta t < 0$ est donc décalée vers le haut d'une quantité Φ_+ proportionnelle à T_0 (figure 3). Lorsque le front descendant du signal V précède celui du signal R (figure 6), l'impulsion P provoque l'activation du signal de commande INVP pendant la durée T_1 , et raccourcit l'activation du signal de commande INVN due au signal de détection D d'une durée approximativement égale à T_0 . En dehors de la zone morte, la caractéristique du comparateur pour $\Delta t > 0$ est donc décalée vers le haut d'une quantité Φ_{++} proportionnelle à $T_0 + T_1$ (figure 3).

L'asservissement apporté par la PLL est tel que le comparateur de phase fonctionne autour du point $\Delta\phi=0$ qui correspond à un décalage temporel positif Δt_0 (cas de la figure 6), qui est par exemple de l'ordre de 5 ns. Le comparateur peut ainsi fonctionner sur une partie linéaire de sa caractéristique II, dans le cas fréquent où les fluctuations de phase des signaux d'entrée sont de relativement petite amplitude.

Mais un inconvénient des comparateurs de phase connus du type ci-dessus est que la zone morte ZM subsiste, comme le montre la figure 3. Elle peut même être élargie puisque l'impulsion P empêche la distinction entre les impulsions actives du signal U de durée plus petite que $T_1 - T_0$ et les impulsions actives du signal D de durée plus petite que T_0 .

Si les fluctuations de phase des signaux d'entrée deviennent importantes, la zone morte peut être atteinte et rendre la boucle instable. Cela se produit par exemple si les deux signaux d'entrée sont des signaux à modulation de fréquence avec une excursion en fréquence relativement importante. Ce problème est en général traité en augmentant la capacité du ou des condensateurs 58 déterminant la durée T_1 des impulsions P, pour augmenter le décalage à l'origine Δt_0 . Mais ceci génère d'autres difficultés. En particulier la tension de sortie ϕ à l'équilibre (figure 6) présente une impulsion de largeur de l'ordre de T_1 . Si on augmente la valeur de T_1 , cette impulsion a une amplitude qui augmente, et elle peut atteindre une largeur non négligeable vis-à-vis de la période d'oscillation lorsque la fréquence est élevée. Ainsi des impulsions 100 ns par exemple pour des signaux modulés autour de 1MHz représentent 10% de la période, et sont mal filtrées par le filtre passe-bas, de sorte qu'elles perturbent le spectre de sortie de l'oscillateur commandé en tension.

Un but principal de la présente invention est de fournir un comparateur de phase sans zone morte.

L'invention propose ainsi un comparateur de phase du type mentionné en introduction, comprenant en outre des moyens pour produire un signal de séparation passant d'un premier niveau à un second niveau avec un retard fixe après chaque front actif du second signal d'entrée, et un second générateur de signal impulsif, produisant un second signal impulsif présentant une impulsion active de durée fixe après chaque front actif du second signal d'entrée, de manière à ce que chaque front de désactivation du premier signal de détection, chaque front d'activation du second signal de détection et chaque passage du signal de séparation du premier au second niveau surviennent pendant que le second signal impulsif est actif. La logique de commande combine les premier et second signaux de détection, les premier et second signaux impulsifs et le signal de

séparation de manière à ce que, pendant que l'un au moins des signaux impulsionnels est actif, le premier signal de commande soit actif si le signal de séparation est au premier niveau, et le second signal de commande soit actif si le signal de séparation est au second niveau.

L'invention sera mieux comprise à la lecture de la description ci-après d'un exemple de réalisation préféré mais non limitatif, en référence aux dessins annexés, dans lesquels :

- la figure 1 est un schéma classique d'une logique de détection de déphasage utilisable dans un comparateur selon l'invention ;

- la figure 2 est un schéma classique d'une pompe de charge utilisable dans un comparateur selon l'invention ;

- la figure 3 est un graphique montrant les caractéristiques de comparateurs de phase de l'art antérieur ;

- la figure 4 est un schéma d'un comparateur de phase de l'art antérieur ;

- les figures 5 et 6 sont des chronogrammes illustrant le fonctionnement du comparateur de la figure 4 ;

- la figure 7 est un schéma d'un comparateur de phase selon l'invention ;

- les figures 8 à 12 sont des chronogrammes illustrant le fonctionnement du comparateur de la figure 7 ; et

- la figure 13 est un graphique montrant la caractéristique du comparateur de phase de la figure 7.

Le comparateur représenté sur la figure 7 reçoit deux signaux binaires d'entrée REFIN, VCOIN. Le premier signal d'entrée REFIN est par exemple un signal radiofréquence de référence de la PLL à laquelle appartient le comparateur, tandis que le second signal d'entrée VCOIN provient par exemple de l'oscillateur commandé en tension de la PLL après une division de fréquence appropriée. La tension de sortie ϕ du comparateur est intégrée pour commander l'oscillateur

de manière à asservir le déphasage du signal VCOIN à une valeur constante par rapport au signal REFIN.

Le comparateur de phase comprend une logique de détection de déphasage 10 et une pompe de charge 22 qui sont par exemple du type décrit précédemment en référence aux figures 1 et 2. Il comprend en outre deux générateurs de signaux impulsionnels 80, 100, et une logique de commande de transfert de charges 120.

Le générateur 80 reçoit le premier signal d'entrée REFIN et délivre un signal impulsional PR qui présente une impulsion active de niveau logique 0 après chaque front descendant du signal REFIN. Le générateur 80 représenté à titre d'exemple sur la figure 7 comporte six inverseurs en cascade 82, 84, 86, 88, 90 et 92, deux condensateurs de temporisation 94 et 96, l'un connecté entre la sortie du troisième inverseur 86 et la masse et l'autre connecté entre la sortie du cinquième inverseur 90 et la masse, et une porte NON ET 98 dont la sortie fournit le signal impulsional PR. Les deux entrées de la porte NON ET 98 sont respectivement reliées à la sortie du premier inverseur 82 et à la sortie du sixième inverseur 92. La sortie du quatrième inverseur 88 fournit le premier signal d'entrée retardé R à la première entrée de la logique de détection 10.

Le générateur 100 reçoit le second signal d'entrée VCOIN et délivre un signal impulsional PV qui présente une impulsion active de niveau logique 0 après chaque front descendant du signal VCOIN. Le générateur 100 représenté à titre d'exemple sur la figure 7 comporte quatre inverseurs en cascade 102, 104, 106 et 108, un condensateur de temporisation 110 connecté entre la sortie du troisième inverseur 106 et la masse, et une porte NON ET 112 dont la sortie fournit le signal impulsional PV. Les deux entrées de la porte NON ET 112 sont respectivement reliées à la sortie du premier inverseur 102 et à la sortie du quatrième inverseur 108. La sortie du second inverseur 104 fournit le second signal d'entrée retardé V à la seconde entrée de la

logique de détection 10.

Le comparateur de phase comprend en outre des moyens 116 pour produire un signal de séparation W passant d'un premier niveau à un second niveau avec un retard fixe après 5 chaque front descendant du second signal d'entrée VCOIN. Dans l'exemple représenté sur la figure 7, le signal de séparation W est simplement la version retardée du signal VCOIN disponible à la sortie du quatrième inverseur 108. Les moyens 116 sont alors constitués par les inverseurs 102 à 108 et le condensateur 110 appartenant au générateur 100.

La logique de commande 120 reçoit les deux signaux de détection U,D produits par la logique 10, les deux signaux impulsionsnels PR, PV produits par les générateurs 80, 100 et 10 le signal de séparation W produit par les moyens 116, et 15 combine ces cinq signaux pour obtenir les deux signaux de commande INVP, INVN adressés à la pompe de charge 22. Dans l'exemple de la figure 7, la logique de commande 120 comprend deux portes logiques composites à trois entrées 122, 124 délivrant respectivement les signaux de commande INVP et 20 INVN. La porte 122 réalise l'opération logique $\overline{\text{INVP}} = (\text{A OU B}) ET C$ entre les signaux A, B et C parvenant respectivement à ses trois entrées. Le signal A est fourni par un inverseur 126 dont l'entrée reçoit le signal de séparation W. Le signal B correspond à un signal P qui est au niveau logique 0 lorsque l'un au moins des deux signaux impulsionsnels PR, PV est actif au niveau 0. Le signal P est fourni par un inverseur 128 relié à la sortie d'une porte NON ET 130 dont les deux entrée reçoivent respectivement les signaux impulsionsnels PR et PV. Le signal C correspond au premier 25 signal de détection U. La logique de commande 120 réalise ainsi l'opération logique $\text{INVP} = \overline{\text{U OU [W ET } (\overline{\text{PR OU PV}})]}$. La porte 124 réalise l'opération logique $\overline{\text{INVN}} = (\text{A'} ET \text{B'}) OU \text{C}'$ entre les signaux A', B' et C' parvenant respectivement à ses 30 trois entrées. Le signal A' est celui fourni par l'inverseur 126. Le signal B' correspond au complément logique du signal 35

P fourni par un inverseur 132. Le signal C' est fourni par un inverseur 134 relié à la sortie d'une porte NON ET 136. Une entrée de la porte 136 reçoit le second signal impulsif PV. L'autre entrée de la porte 136 reçoit le complément logique du second signal de détection D fourni par un inverseur 138. La logique de commande 120 réalise ainsi l'opération logique $\overline{INVN} = (\overline{D} \text{ ET } PV) \text{ OU } [\overline{W} \text{ ET } (\overline{PR} \text{ OU } \overline{PV})]$.

Le séquencement des signaux dans le comparateur de la figure 7 est illustré par les figures 8 à 11. Le retard a désigne l'intervalle de temps fixe séparant un front descendant du signal d'entrée REFIN et le front d'activation suivant du signal impulsif PR. On considère ici que le signal PR s'active au moment où il est susceptible de faire changer d'état l'un des signaux de commande INVP et INVN. Le retard a est donc le temps de réponse à un front descendant de REFIN de la chaîne logique constituée par les éléments 82, 98, 130, 128 et 122 ou par les éléments 82, 98, 130, 128, 132 et 124. La durée b désigne la durée fixe d'activation du signal impulsif PR après un front descendant de REFIN. Elle correspond au temps de réponse de la chaîne constituée par les éléments 84, 86, 94, 88, 90, 96 et 92. Le retard c désigne l'intervalle de temps séparant un front descendant de REFIN et le front d'activation suivant du premier signal de détection U ou le front de désactivation suivant du second signal de détection D. On considère ici que le front descendant de U (ou le front montant de D) survient au moment où il est susceptible de faire changer d'état l'un des signaux de commande INVP, INVN. Le retard c correspond donc au temps de réponse à un front descendant de REFIN de la chaîne constituée par les éléments 82, 84, 86, 94, 88, 10 et 122 ou par les éléments 82, 84, 86, 94, 88, 10, 138, 136, 134 et 124. Les retards a, b et c ne sont pas connus avec une grande précision en raison notamment des incertitudes sur les temps de réponse des éléments logiques. Mais on peut sans difficulté dimensionner les condensateurs 94, 96 et les

transistors des portes logiques du générateur d'impulsions 80 de façon à ce que chaque front d'activation de U et chaque front de désactivation de D surviennent pendant que le signal impulsif PR est actif. Le générateur 80 est donc dimensionné de façon à réaliser $0 \leq a < c < a+b$.

Le retard d désigne l'intervalle de temps fixe séparant un front descendant du signal d'entrée VCOIN et le front d'activation suivant du signal impulsif PV. On considère ici que le signal PV s'active au moment où il est susceptible de faire changer d'état l'un des signaux de commande INVP et INVN. Le retard d est donc le temps de réponse à un front descendant de VCOIN de la chaîne logique constituée par les éléments 102, 112, 130, 128 et 122 ou par les éléments 102, 112, 130, 128, 132 et 124. La durée e désigne la durée fixe d'activation du signal impulsif PV après un front descendant de VCOIN. Elle correspond au temps de réponse de la chaîne constituée par les éléments 104, 106, 110 et 108. Le retard f désigne l'intervalle de temps fixe séparant un front descendant de VCOIN et le passage suivant du signal de séparation W du niveau 1 au niveau 0. On considère ici que le signal W passe du niveau 1 au niveau 0 au moment où il est susceptible de faire changer d'état l'un des signaux de commande INVP, INVN. Le retard f correspond donc au temps de réponse à un front descendant de VCOIN de la chaîne constituée par les éléments 102, 104, 106, 110, 108, 126 et 122 ou par les éléments 102, 104, 106, 110, 108, 126 et 124. Le retard g désigne l'intervalle de temps séparant un front descendant de VCOIN et le front d'activation suivant du second signal de détection D ou le front de désactivation suivant du premier signal de détection U. On considère ici que le front descendant de D (ou le front montant de U) survient au moment où il est susceptible de faire changer d'état l'un des signaux de commande INVP, INVN. Le retard g correspond donc au temps de réponse à un front descendant de VCOIN de la chaîne constituée par les éléments 102, 104, 10 et 122 ou par les éléments 102, 104, 10, 138,

136, 134 et 124. Les retards d, e, f, g ne sont pas connus avec une grande précision en raison notamment des incertitudes sur les temps de réponse des éléments logiques. Mais on peut sans difficulté dimensionner le condensateur 110
 5 et les transistors des portes logiques du générateur d'impulsions 100 de façon à ce que chaque front d'activation de D, chaque front de désactivation de U et chaque passage du signal de séparation W du niveau 1 au niveau 0 surviennent pendant que le signal impulsif PV est actif. Le générateur 100 est donc dimensionné de façon à réaliser
 10 $0 \leq d < f + e$ et $d < g < d + e$.

Le schéma de la figure 7 correspond au cas où $f \geq g$ (si $f < g$, la logique de commande doit être modifiée pour réaliser, par exemple, $\text{INV}P = (\bar{U} \text{ ET } PV) OU [W \text{ ET } (\bar{PR} OU \bar{PV})]$) et
 15 $\text{INV}N = \bar{D} OU [\bar{W} \text{ ET } (\bar{PR} OU \bar{PV})]$). Dans le cas de la figure 7, lorsque l'un des signaux impulsifs PR, PV est actif ($PR=0$ ou $PV=0$), la logique de commande 120 réalise $\text{INV}P = \bar{U} OU W = W$ et $\text{INV}N = (\bar{D} ET PV) OU \bar{W} = \bar{W}$. Le premier signal de commande INV P est donc actif ($\text{INV}P=1$) si le signal de séparation W est au niveau 1, tandis que le second signal de commande INV N est actif ($\text{INV}N=0$) si le signal de séparation W est au niveau 0. Lorsqu'aucun des signaux impulsifs PR, PV n'est actif ($PR=PV=1$), la logique de commande 120 réalise $\text{INV}P = \bar{U}$ et $\text{INV}N = \bar{D}$. Le premier signal de commande INV P est donc actif ($\text{INV}P=1$) si le premier signal de détection U est actif ($U=0$), tandis que le second signal de commande INV N est actif ($\text{INV}N=0$) si le second signal de commande D est actif ($D=0$).
 20
 25

Dans l'exemple illustré sur les figures 8 à 13, la durée b d'activation du signal PR est plus grande que la durée e d'activation du signal PV. Les chronogrammes des figures 8 et 9 correspondent à un décalage temporel Δt_8 , Δt_9 inférieur à $-a-b+d+e$ entre les fronts descendants de VCOIN et de REFIN ($\Delta t > 0$ quand le front descendant de VCOIN précède

celui de REFIN). Pour $\Delta t \leq -a-b+d+e$, le signal INVP est actif de $\Delta t+a$ à f (l'instant 0 est considéré comme celui du front descendant de VCOIN), et le signal INVN est actif de f à $d+e$. La variation $\Delta\phi$ de la tension de sortie est donc proportionnelle à $-\Delta t-a-d-e+2f$ (partie gauche de la figure 13).

Les chronogrammes des figures 11 et 12 correspondent à un décalage temporel Δt_{11} , Δt_{12} supérieur à $-a+d$ entre les fronts descendants de VCOIN et de REFIN. Pour $\Delta t \geq -a+d$, le signal INVP est actif de d à f , et le signal INVN est actif de f à $\Delta t+a+b$. La variation $\Delta\phi$ de la tension de sortie est donc proportionnelle à $-\Delta t-a-b-d+2f$ (partie droite de la figure 13).

Le chronogramme de la figure 10 correspond à un décalage temporel Δt_{10} supérieur à $-a-b+d+e$ et inférieur à $-a+d$ (l'impulsion de PR recouvre entièrement l'impulsion de PV). Pour $-a-b+d+e \leq \Delta t \leq -a+d$, le signal INVP est actif de $\Delta t+a$ à f , et le signal INVN est actif de f à $\Delta t+a+b$. La variation $\Delta\phi$ de la tension de sortie est donc proportionnelle à $-2\Delta t-2a-b+2f$.

La caractéristique (Δt , $\Delta\phi$) du comparateur de phase, représentée sur la figure 13, est linéaire avec un gain constant, sauf dans une fenêtre $-a-b+d+e \leq \Delta t \leq -a+d$ où le gain est double.

On note que dans les cas des figures 9, 10 et 11 ($-a-b+d \leq \Delta t \leq -a+d+e$, c'est-à-dire que les impulsions actives de PR et PV présentent un recouvrement), l'activation des signaux de commande INVP, INVN dépend seulement des signaux impulsionnels PR et PV qui ont des durées d'activation fixes, et du signal de séparation W. Les signaux de détection U et D n'interviennent que pour les décalages temporels relativement importants : $\Delta t < -a-b+d$ (figure 8) ou $\Delta t > -a+d+e$ (figure 12). Les durées d'activation des signaux U et D sont

respectivement $\max(0, -\Delta t - c + g)$ et $\max(0, \Delta t + c - g)$. Toute
impulsion du signal U plus courte que $a + b - c - d + g (> 0$ car $a + b > c$
et $g > d)$ n'est donc pas vue par le comparateur, de même que
toute impulsion du signal D plus courte que $-a + c + d + e - g (> 0$
5 car $c > a$ et $d + e > g$). De cette façon, le comparateur de phase
de la figure 7 élimine le problème de la zone morte qu'on
rencontre dans les comparateurs classiques dans les cas
d'activations très courtes des signaux de détection.

On note également que, dans tous les cas, le signal
10 de commande INVP est activé pendant une durée au moins égale
à $f - d$, et que l'autre signal de commande INVN est activé
pendant une durée au moins égale à $d + e - f$. On écarte ainsi
tout problème d'incertitude que pourrait poser une activation
trop courte de l'un des signaux de commande INVP, INVN.

REVENDICATIONS

1. Comparateur de phase entre des premier et second signaux binaires d'entrée (REFIN, VCOIN), comprenant :
 - 5 - une logique de détection de déphasage (10) recevant les signaux d'entrée avec des retards prédéterminés respectifs, et délivrant d'une part un premier signal de détection (U) activé, après un front actif du premier signal d'entrée retardé (R) précédant un front actif du second signal d'entrée retardé (V), pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs des signaux d'entrée retardés, et d'autre part un second signal de détection (D) activé, après un front actif du second signal d'entrée retardé (V) précédant un front actif du premier signal d'entrée retardé (R), pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs des signaux d'entrée retardés
 - 10 - un premier générateur de signal impulsif (80), produisant un premier signal impulsif (PR) présentant une impulsion active de durée fixe (b) après chaque front actif du premier signal d'entrée (REFIN), de manière à ce que chaque front d'activation du premier signal de détection (U) et chaque front de désactivation du second signal de détection (D) surviennent pendant que le premier signal impulsif (PR) est actif ;
 - 15 - une logique de commande de transfert de charges (120) combinant au moins les signaux de détection (U,D) et le premier signal impulsif (PR), et produisant des premier et second signaux de commande (INVP, INVN) non simultanément actifs ; et
 - 20 - un circuit formant pompe de charge (22) pour faire varier dans un sens la valeur d'une tension de sortie (ϕ) lorsque le premier signal de commande (INVP) est actif et pour faire varier dans l'autre sens la valeur de la tension de commande (ϕ) lorsque le second signal de commande (INVN) est actif,

caractérisé en ce qu'il comprend des moyens (116) pour produire un signal de séparation (W) passant d'un premier niveau à un second niveau avec un retard fixe (f) après chaque front actif du second signal d'entrée (VCOIN), 5 et un second générateur de signal impulsif (100), produisant un second signal impulsif (PV) présentant une impulsion active de durée fixe (e) après chaque front actif du second signal d'entrée (VCOIN), de manière à ce que chaque front de désactivation du premier signal de détection (U), 10 chaque front d'activation du second signal de détection (D) et chaque passage du signal de séparation (W) du premier au second niveau surviennent pendant que le second signal impulsif (PV) est actif, et en ce que la logique de commande (120) combine les premier et second signaux de détection (U,D), les premier et second signaux impulsifs (PR,PV) et le signal de séparation (W) de manière à ce que, 15 pendant que l'un au moins des signaux impulsifs (PR,PV) est actif, le premier signal de commande (INVP) soit actif si le signal de séparation (W) est au premier niveau, et le second signal de commande (INVN) soit actif si le signal de séparation (W) est au second niveau.

2. Comparateur de phase selon la revendication 1, caractérisé en ce que la logique de commande (120) combine les premier et second signaux de détection (U,D), les premier et second signaux impulsifs (PR, PV) et le signal de séparation (W) de manière à ce que, pendant qu'aucun des premier et second signaux impulsifs (PR, PV) n'est actif, 25 le premier signal de commande (INVP) soit actif si le premier signal de comparaison (U) est actif, et le second signal de commande (INVN) soit actif si le second signal de comparaison (D) est actif.

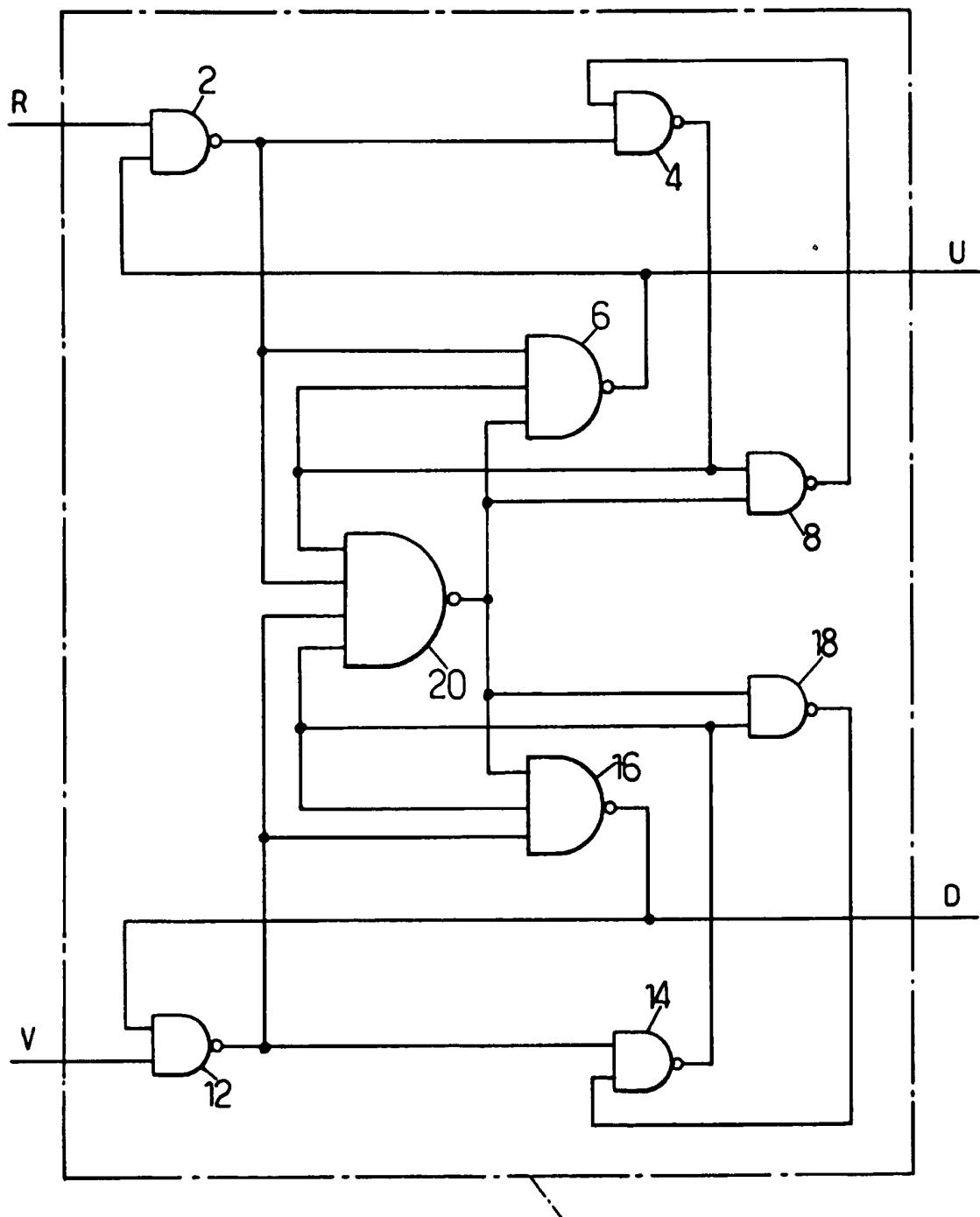
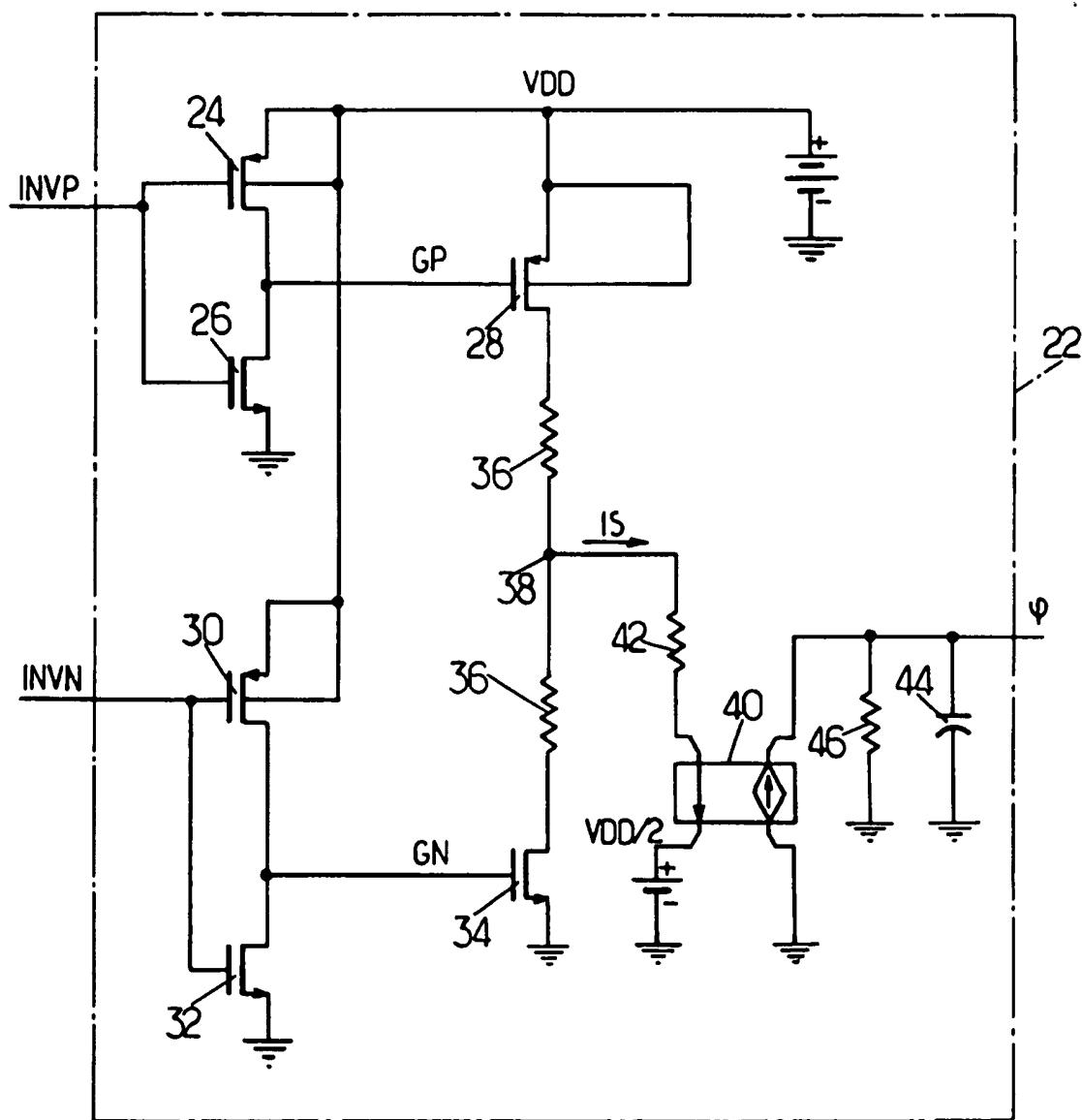


FIG.1.

FIG. 2.



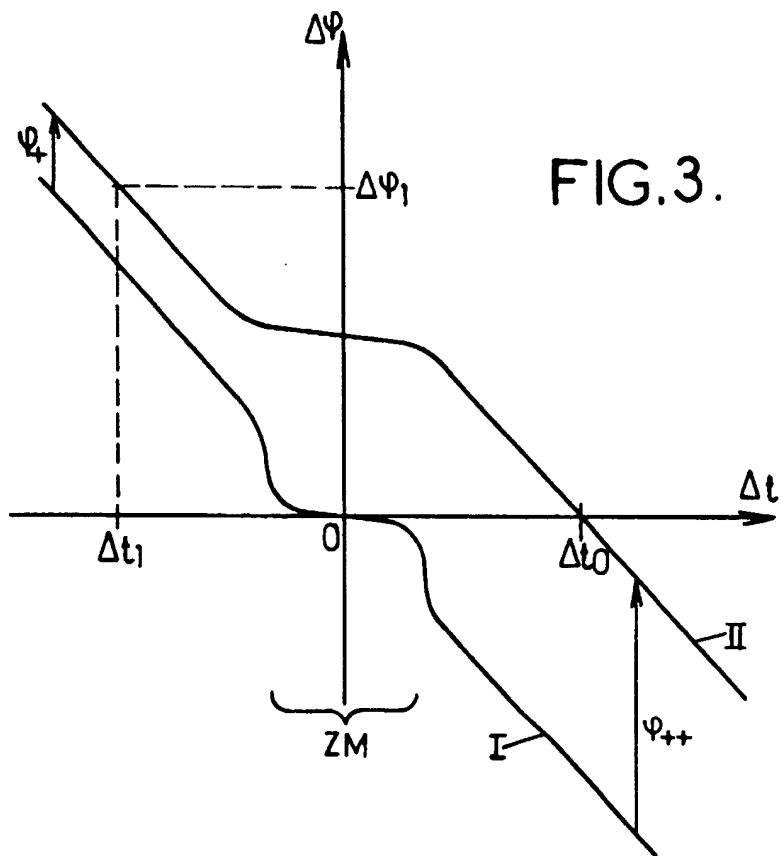


FIG.4.

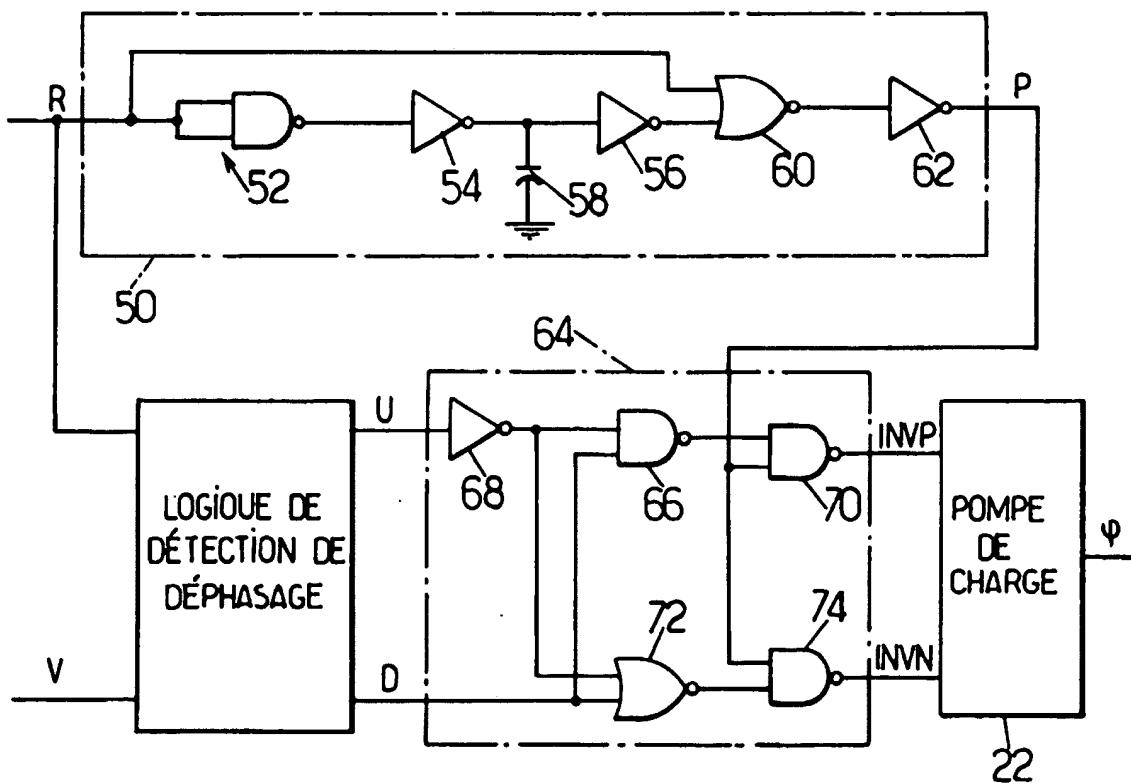


FIG.5.

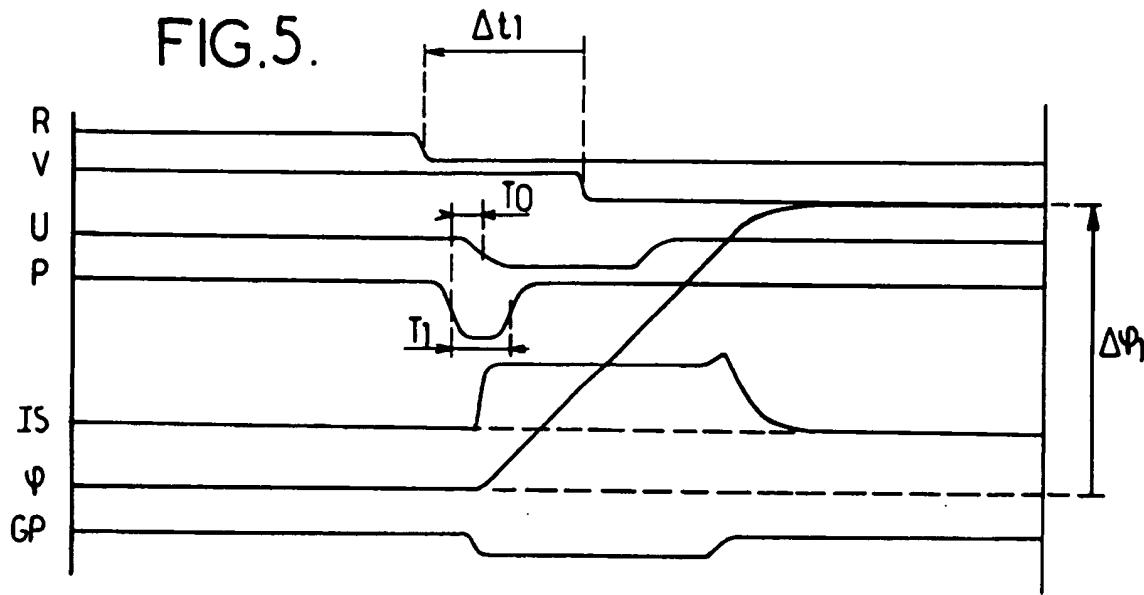
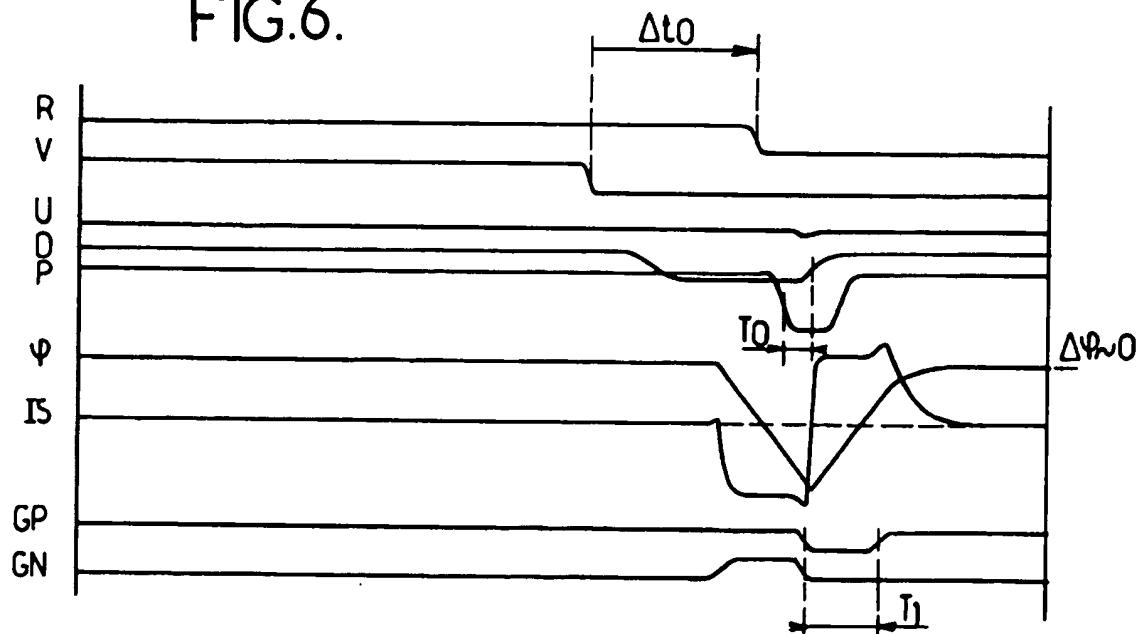


FIG.6.



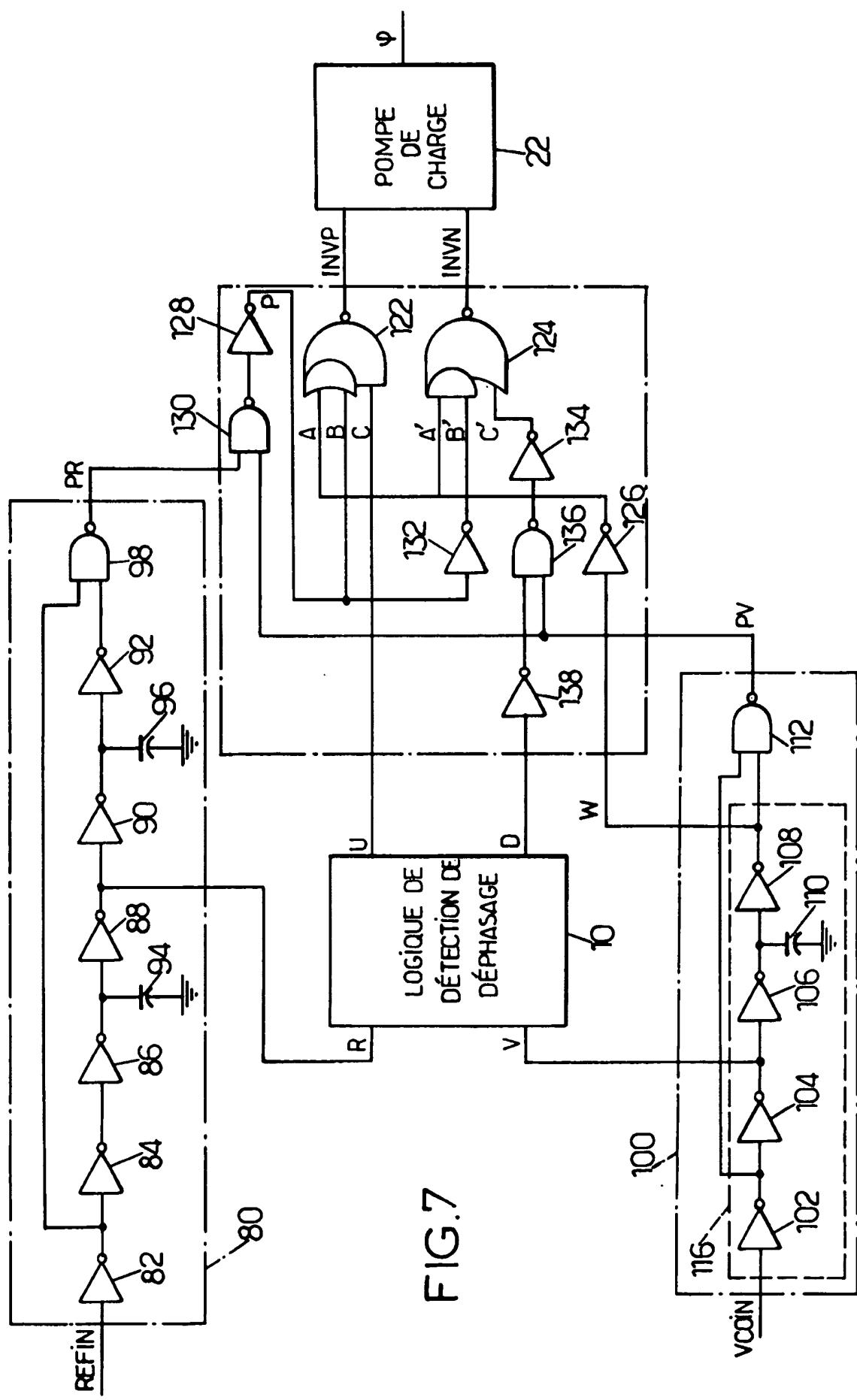


FIG.7

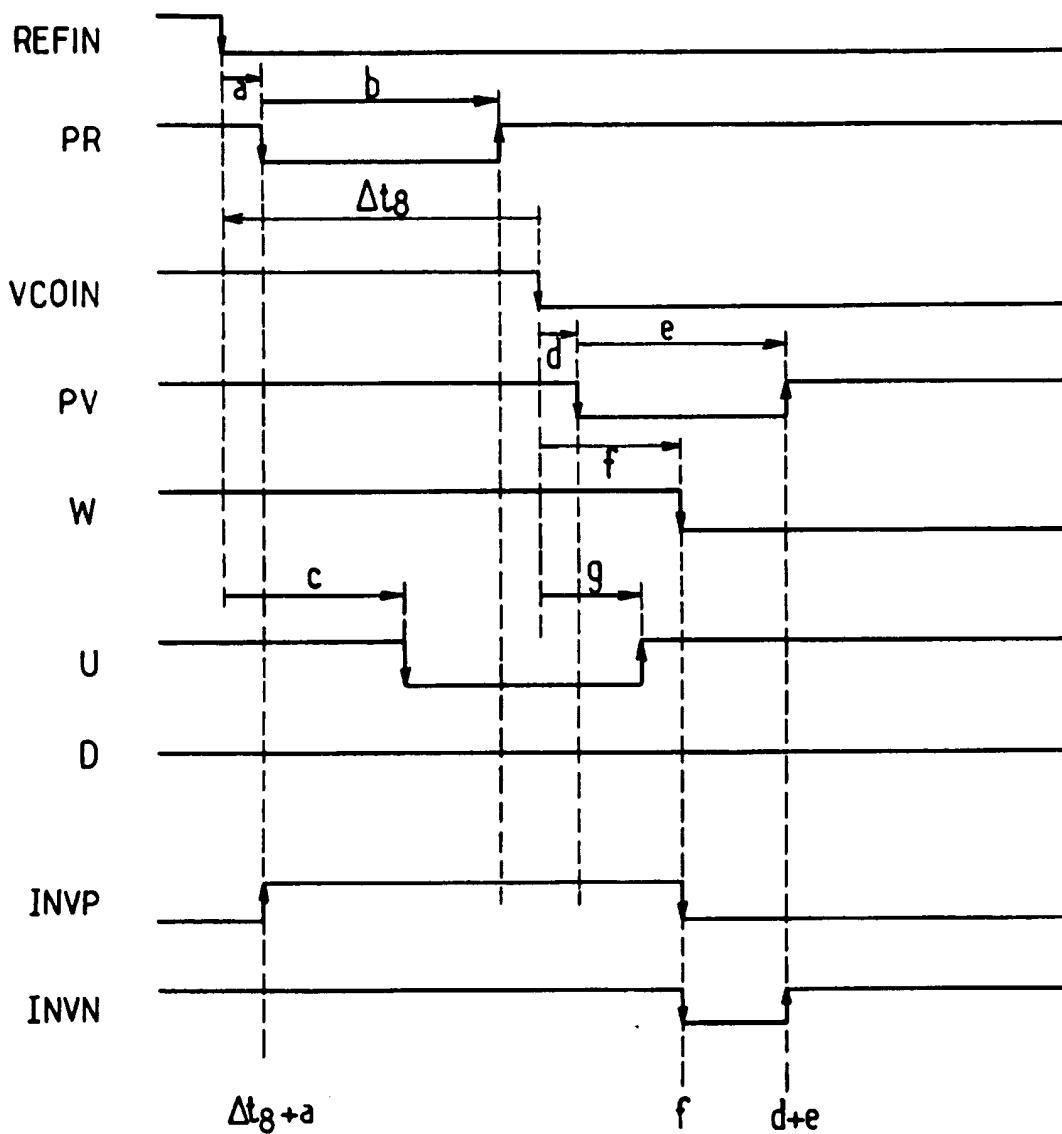


FIG.8.

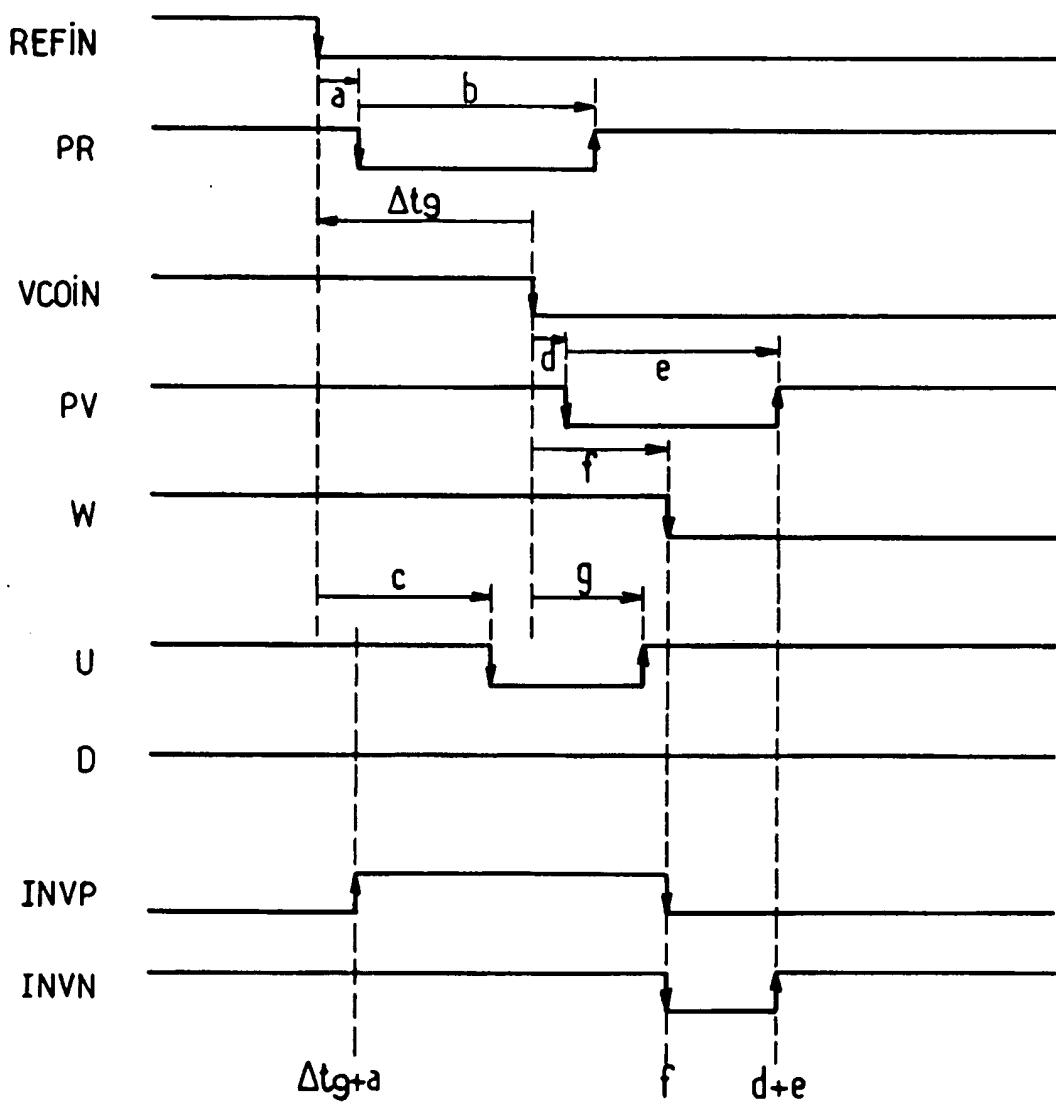


FIG.9.

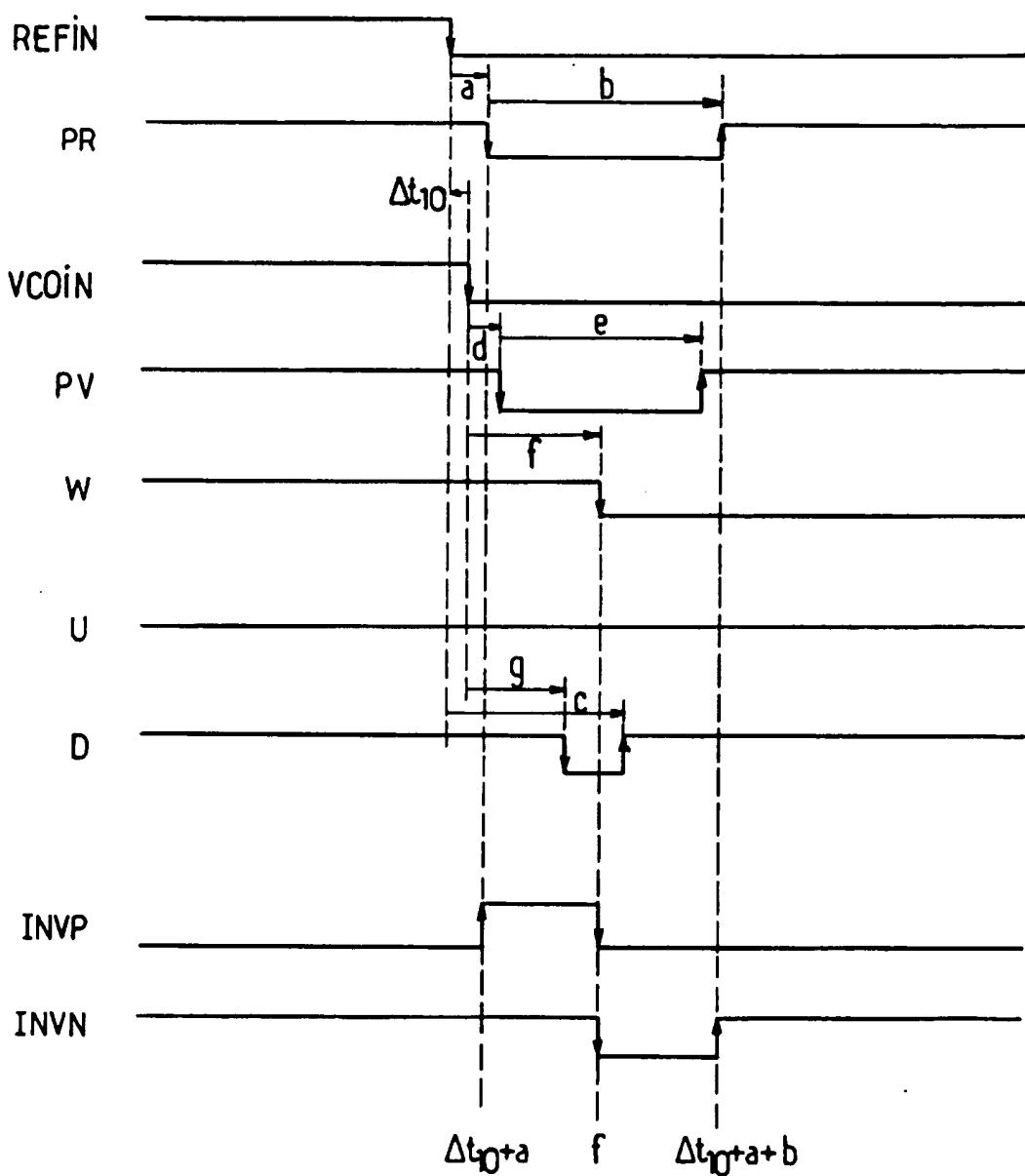


FIG.10.

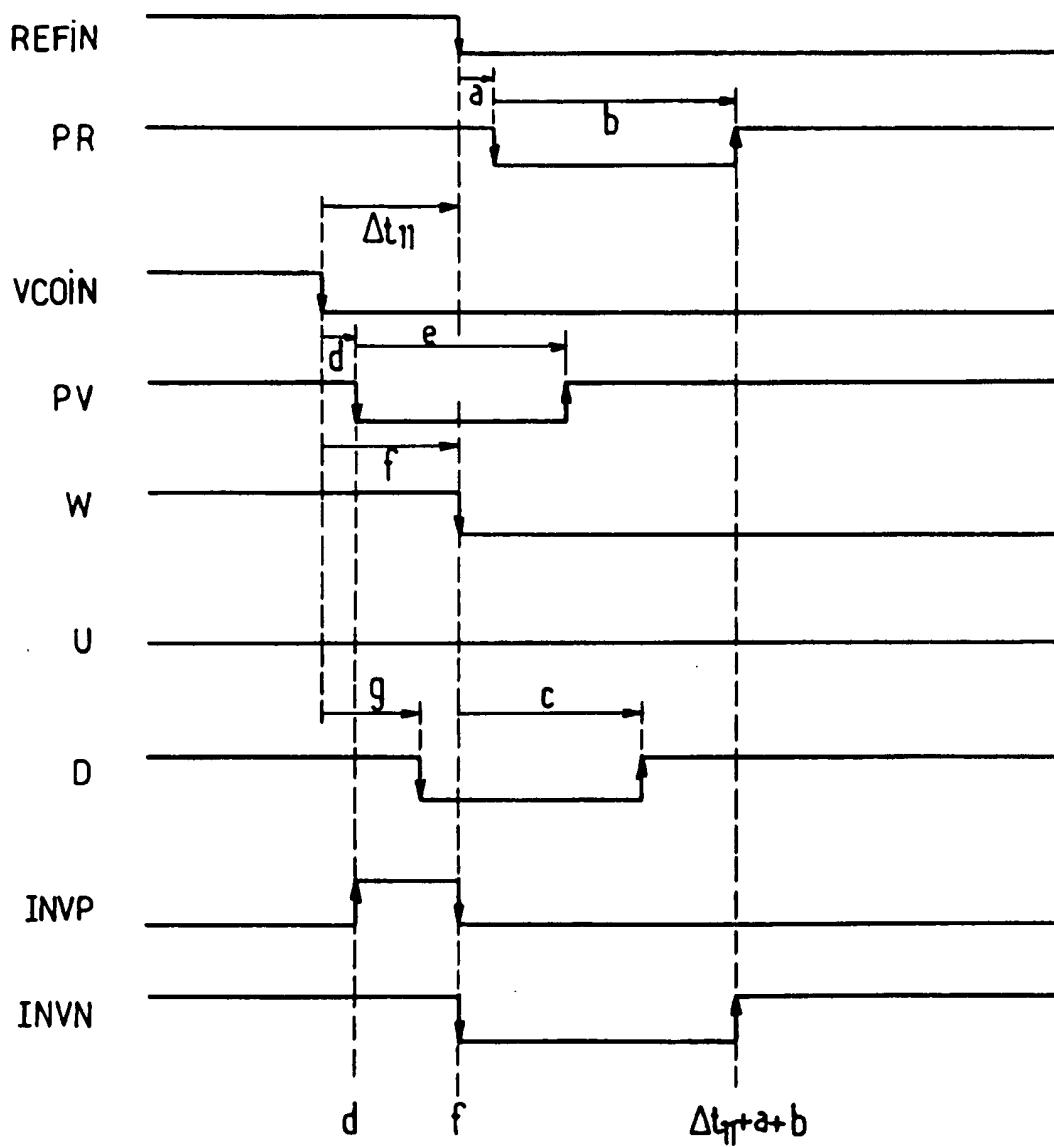


FIG.11.

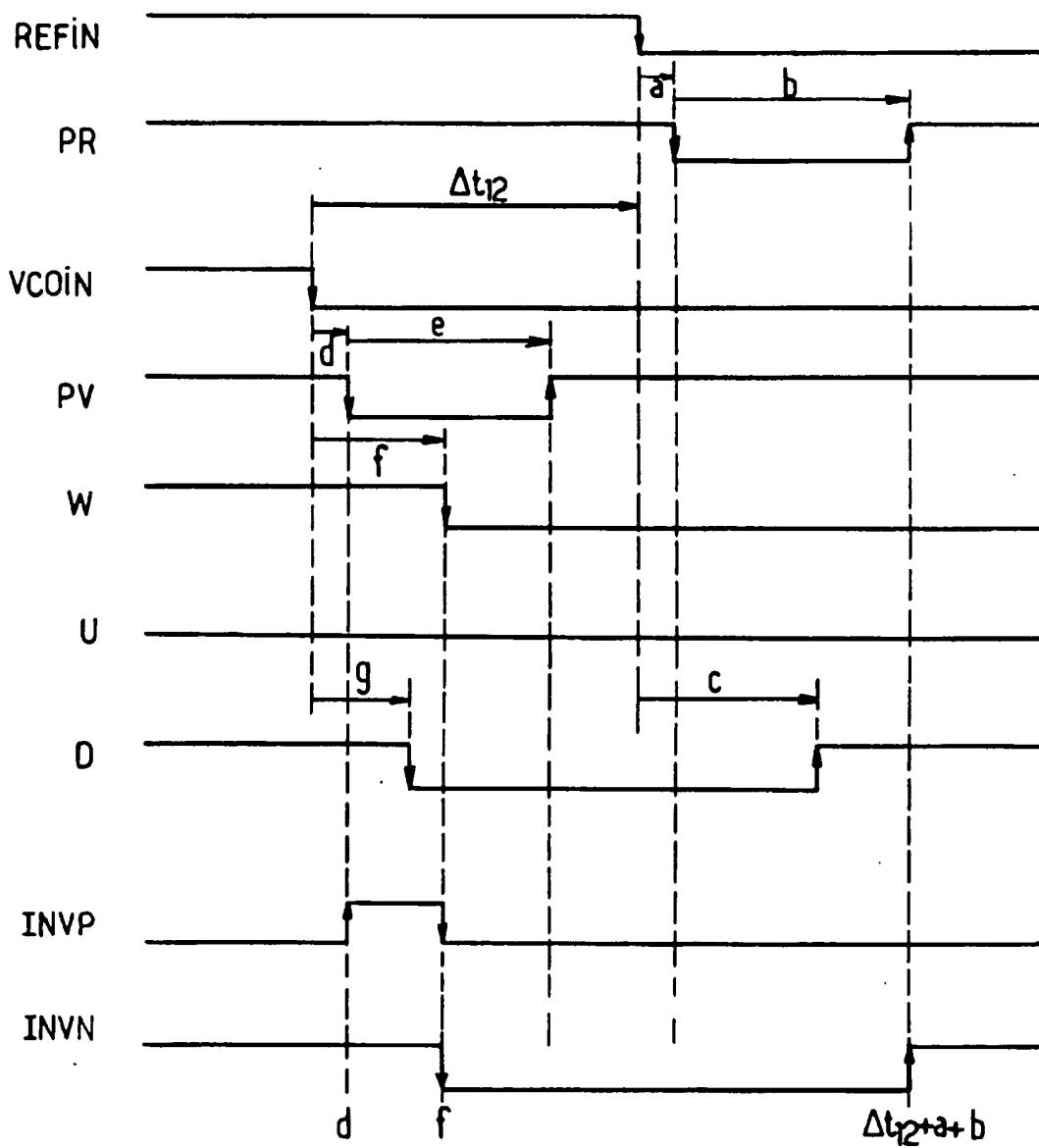
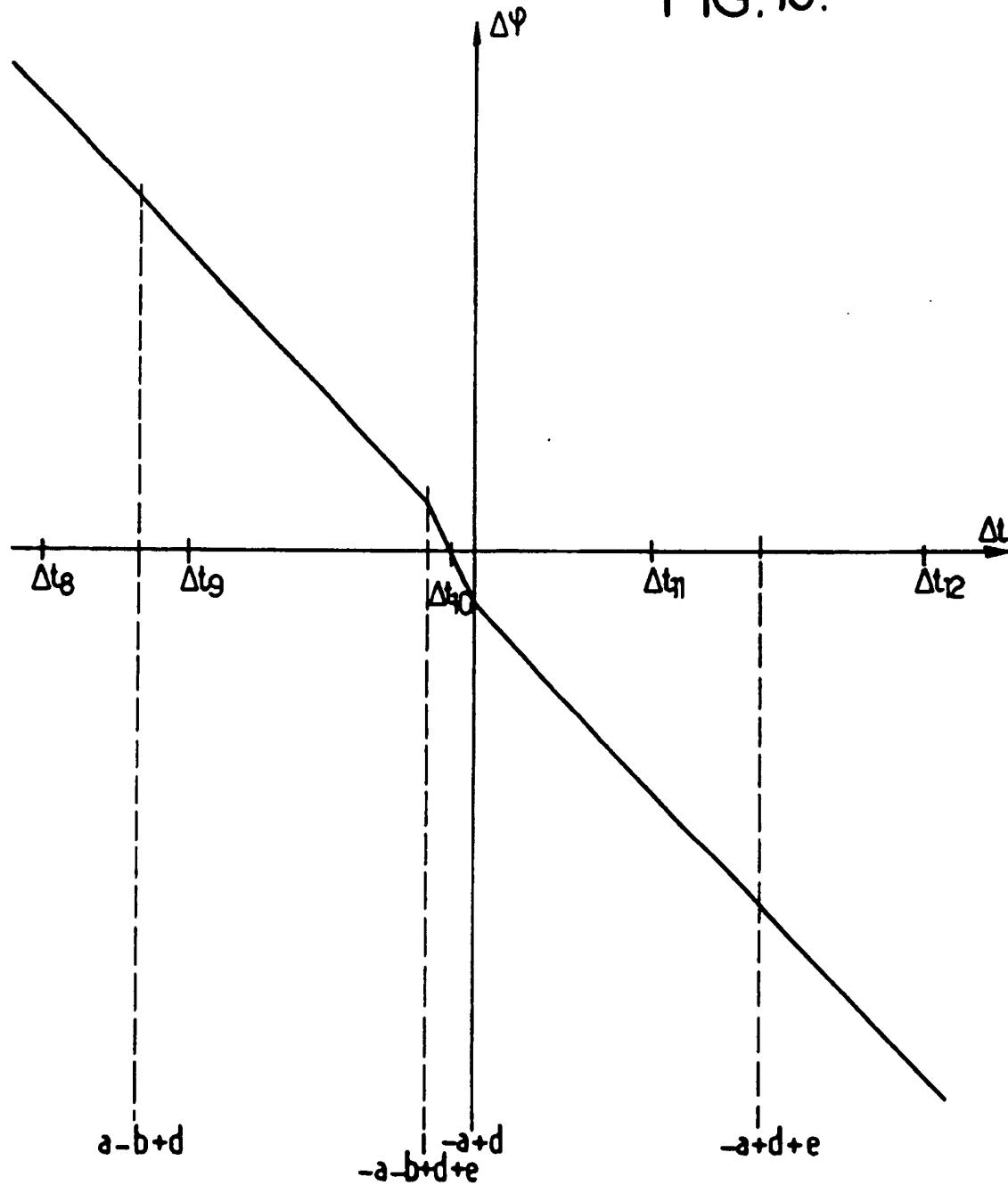


FIG.12.

FIG. 13.



INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
nationalFA 516747
FR 9507718

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concrètes de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	US-A-5 373 255 (BRAY JEFFREY P ET AL) 13 Décembre 1994 * colonne 6, ligne 12 - colonne 7, ligne 45; figures 3-1,3-2 * ---	1
A	US-A-4 023 116 (ALFKE PETER H ET AL) 10 Mai 1977 * colonne 2, ligne 46 - colonne 6, ligne 27; figures * ---	1
A	GB-A-2 055 268 (TOKYO SHIBAURA ELECTRIC CO) 25 Février 1981 * page 3, ligne 58 - ligne 73; figure 8 * -----	1
		DOMAINES TECHNIQUES RECHERCHES (Int.Cl.)
		H03D H03L
1	Date d'achèvement de la recherche 13 Mars 1996	Examinateur Balbinot, H
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'un moins une revendication ou arrière-plan technologique général O : divulgation non écrite P : document intercalaire		
T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		